

## LOGIC CIRCUIT AND ITS DESIGN METHOD

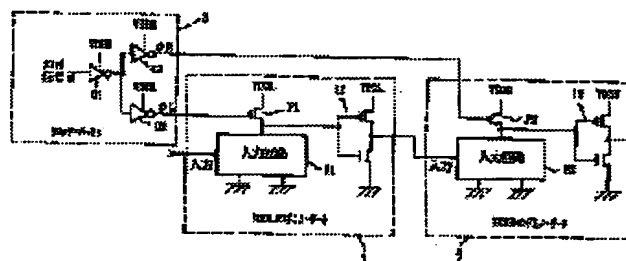
Patent number: JP9270701  
Publication date: 1997-10-14  
Inventor: MATSUMOTO NOBU; USAMI MASAYOSHI; TSUJIMOTO JUNICHI  
Applicant: TOSHIBA CORP  
Classification:  
- international: H03K19/096; G06F17/50; H03K19/00  
- european:  
Application number: JP19960076992 19960329  
Priority number(s):

Also published as:

US5990706 (A)  
JP9270701 (A)

## Abstract of JP9270701

**PROBLEM TO BE SOLVED:** To realize low power consumption by using respective domino gates corresponding to plural high level power supply voltages so as to configure a logic circuit thereby eliminating the need for a level converter.  
**SOLUTION:** This logic circuit is provided with a domino gate 1 supplied with a power supply VDDL, a domino gate 2 supplied with a power supply VDDH, and a clock buffer 3 supplying a clock signal to both the gates. Then the output of the gate 1 is given to the gate 2 and the output of the gate 1 is not fed to the gate of a P-channel FET. Thus, a DC current caused by the input of the P-channel FET receiving a medium level VN is not produced. As a result, even when the gates 1, 2 are connected directly not via a level conductor, current consumption is not increased.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270701

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/096			H 0 3 K 19/096	B
G 0 6 F 17/50			19/00	A
H 0 3 K 19/00			G 0 6 F 15/60	6 5 8 Z

審査請求 未請求 請求項の数4 O L (全 8 頁)

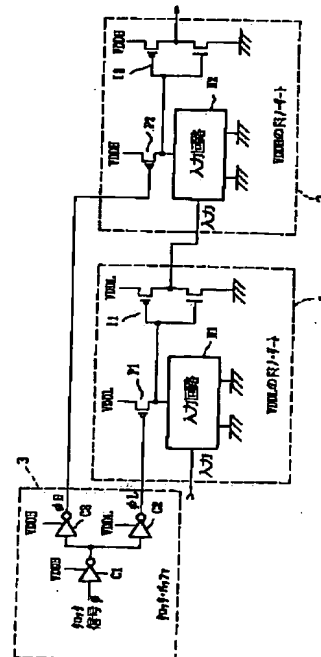
(21) 出願番号	特願平8-76992	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成8年(1996)3月29日	(72) 発明者	松本 展 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
		(72) 発明者	宇佐美 公良 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
		(72) 発明者	辻本 順一 神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
		(74) 代理人	弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 論理回路及びその設計方法

## (57) 【要約】

【課題】 この発明は、2つの異なる高位電源電圧を使用した論理回路においてレベルコンバータを不要とし、消費電力の低減を達成し得る論理回路を提供し、要求されるタイミング制約を満足させて効率良く上記論理回路を設計し得る論理回路の設計方法を提供することを課題とする。

【解決手段】 この発明は、第1の高位電源電圧 (VDDL) が供給されるドミノゲート1で構成された論理ゲートの出力が、第1の高位電源電圧よりも高い第2の高位電源電圧 (VDDH) が供給されるドミノゲート2の入力に接続されて構成される。



## 【特許請求の範囲】

【請求項1】 第1の高位電源電圧が供給されるドミノゲートで構成された第1の論理ゲートと、第1の高位電源電圧よりも高い第2の高位電源電圧が供給されるドミノゲートで構成された第2の論理ゲートとを有することを特徴とする論理回路。

【請求項2】 第1の高位電源電圧が供給されるドミノゲートで構成された第1の論理ゲートと、第1の高位電源電圧よりも高い第2の高位電源電圧が供給されるドミノゲートで構成された第2の論理ゲートを有し、前記第1の論理ゲートの出力が前記第2の論理ゲートの入力となる接続関係が少なくとも1つ以上有することを特徴とする論理回路。

【請求項3】 基準のクロック信号を入力し、第1の高位電源電圧をハイレベルとする第1のクロック信号と第2の高位電源電圧をハイレベルとする第2のクロック信号を生成し、生成した第1のクロック信号を前記第1の論理ゲートのドミノゲートに供給し、生成した第2のクロック信号を前記第2の論理ゲートのドミノゲートに供給するクロックバッファを有することを特徴とする請求項1又は2記載の論理回路。

【請求項4】 第1の高位電源電圧が供給されるドミノゲートのセルをライブラリとし、ドミノゲートのパフォーマンス情報を備えた第1のセルライブラリと、第1の電源電圧よりも高い第2の電源電圧が供給されるドミノゲートのセルをライブラリとし、ドミノゲートのパフォーマンス情報を備えた第2のセルライブラリを用意し、設計しようとする論理回路のRTL（レジスタトランスファレベル）記述又は論理記述と、論理回路における信号の伝達タイミングを決めるタイミング制約情報と、前記第1及び第2のセルライブラリを入力として、ドミノゲートのパフォーマンス情報に基づいて信号のタイミングを満足させるように論理合成を行い、論理合成によって得られたセルレベルの回路において、第1のセルライブラリのセルを第1の高位電源電圧が供給されるドミノゲートの回路記述に置換し、第2のセルライブラリのセルを第2の高位電源電圧が供給されるドミノゲートの回路記述に置換して、ドミノゲートを用いて論理回路を設計することを特徴とする論理回路の設計方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、大規模集積回路の中で使用される低消費電力の論理回路、及びその低消費電力の論理回路を設計する方法に関する。

## 【0002】

【従来の技術】 CMOS回路の消費電力は、大部分が負荷の充放電によるダイナミック・パワーであり、これは印加されている電源電圧（以下、特に断らないかぎり電源

電圧と記載した場合には高位側の電源電圧を指すものとする）の2乗に比例する。消費電力を低減化する方法として、電源電圧を下げる方法はきわめて効果的であるが、電源電圧を下げるとトランジスタのドレイン電流が減少するため、回路の遅延時間が増大し、性能低下を引き起こすという不具合が生じる。

【0003】 例えば、図7に示すような組み合わせ論理回路を低消費電力化する際に、各ゲートの電源電圧をすべて下げてしまうと、タイミングがクリティカルな箇所（パス）は、タイミングのスペックを満足できなくなる。一方、論理回路の中ですべてのパスがクリティカルなパスになっているわけではない。

【0004】 そこで、クリティカルパスになっていない部分のゲートに対してのみ、電源電圧を下げる事が考えられる。しかしながら、CMOS回路の場合には、以下に説明するように、低い電源電圧で動作するゲートと高い電源電圧で動作するゲートのインターフェース部分に、DC電流防止用のレベルコンバータ回路が必要となる。

【0005】 ここで、レベルコンバータが必要となる理由について説明する。

【0006】 COMS論理回路において、2つの異なる電源電圧を使用する場合は、図8に示すように、低電源電圧（VDDL）で動作する回路と高電源電圧（VDDH）で動作する回路をダイレクトに接続すると、インターフェース部分でDC電流が流れてしまう。この理由は、図8中のノードN1がハイレベル（VDDL）の時、VDDLが $VDDL < VDDH - |V_{th,p}|$ （ $V_{th,p}$ はPチャネルトランジスタのしきい値電圧）の電位なら、PチャネルトランジスタMP1が完全にオフせず、高電源VDDHから基準電源に向かってDC電流が流れる。DC電流が流れることによる電力消費は大きいので、通常、DC電流が流れないようにするための回路として、例えば図9に示すようなレベルコンバータをインターフェース部分に挿入する方法が採られる。

【0007】 なお、VDDHで動作する回路の出力に、VDDLで動作する回路を直接接続した場合には、図8に示す場合と異なり、DC電流が流れることはない。それは、VDDLで動作する回路の入力のハイレベルがVDDHまで引き上げられるため、Pチャネルトランジスタが完全にオフするためである。

【0008】 図9に示すようなレベルコンバータは、DC電流を遮断する機能を有するが、反面スイッチングの際にかなり大きなダイナミック・パワーを消費する。したがって、レベルコンバータの個数が多くなればなるほど、レベルコンバータ全体で消費するパワーが増え、消費電力低減の効果が弱められてしまう。

【0009】 図7に示すような論理回路に対して、タイミング制約を満たしながらVDDHを与えるゲートとVDDLを与えるゲートを決定する際に、従来では図10

に示すような回路構成が生成されてしまうという問題があった。すなわち、図10に示す構造では、VDDLで動作するゲートの出力がVDDHで動作するゲートの入力に入る接続構造が多数生じ、そのため多数のレベルコンバータが必要となる。したがって、レベルコンバータ自体がかなり大きなダイナミック・パワーを消費するため、多数のレベルコンバータを含む回路構成は、消費電力を低減する構造としては望ましくない。

【0010】回路レベルのシフトあるいは低消費電力化に関する従来の技術としては、例えば特開平4-168805号公報、特開平4-227318号公報、特開平2-198099号公報に記載されたものが知られている。

【0011】特開平4-168805号公報には、レベルシフト回路を貫通電流を流さないダイナミック型とし、クロック信号によるサンプリングを行ない、かつ交叉結合型のダイナミック・センス回路を設けることにより、消費電流を低減すると共に高速動作を可能にする発明が記載されている。

【0012】特開平4-227318号公報には、ECL信号をBiCMOS集積回路内に導入し且つ可及的に迅速にCMOSレベルへ変換させる発明が記載されている。特開平2-198099号公報には、縦型ROMに、差動アンプDA、FETQCによる電源クランプを内蔵させ、クランプした電圧をメモリアレイのプリチャージ用とし、アレイの後段にクランプ電圧を電源電圧とするレベル変換回路を接続することによって、回路規模や消費電力の大幅な増加なしに、読出速度を高速化させる発明が記載されている。

【0013】

【発明が解決しようとする課題】以上説明したように、低消費電力化を図るために2つの異なる電源電圧を使用する論理回路において、低電源電圧で動作する回路の出力に高電源電圧で動作する回路の入力を接続する場合には、この部分でDC電流が流れるため、これを防止するためのレベルコンバータが必要となる。このレベルコンバータは、消費電力がかなり多いため、レベルコンバータの数が増えると、2つの電源電圧を使用して低消費電力化を図った効果がなくなり、消費電力の低減が困難になっていた。

【0014】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、2つの異なる高位電源電圧を使用した論理回路においてレベルコンバータを不要とし、消費電力の低減を達成し得る論理回路を提供することにある。

【0015】また、要求されるタイミング制約を満足させて効率良く上記論理回路を設計し得る論理回路の設計方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため

に、請求項1記載の発明は、第1の高位電源電圧が供給されるドミノゲートで構成された第1の論理ゲートと、第1の高位電源電圧よりも高い第2の高位電源電圧が供給されるドミノゲートで構成された第2の論理ゲートとを有して構成される。

【0017】請求項2記載の発明は、第1の高位電源電圧が供給されるドミノゲートで構成された第1の論理ゲートと、第1の高位電源電圧よりも高い第2の高位電源電圧が供給されるドミノゲートで構成された第2の論理ゲートを有し、前記第1の論理ゲートの出力が前記第2の論理ゲートの入力となる接続関係が少なくとも1つ以上有して構成される。

【0018】請求項3記載の発明は、基準のクロック信号を入力し、第1の高位電源電圧をハイレベルとする第1のクロック信号と第2の高位電源電圧をハイレベルとする第2のクロック信号を生成し、生成した第1のクロック信号を前記第1の論理ゲートのドミノゲートに供給し、生成した第2のクロック信号を前記第2の論理ゲートのドミノゲートに供給するクロックバッファを有して構成される。

【0019】請求項4記載の発明は、第1の高位電源電圧が供給されるドミノゲートのセルをライブラリとし、ドミノゲートのパフォーマンス情報を備えた第1のセルライブラリと、第1の電源電圧よりも高い第2の電源電圧が供給されるドミノゲートのセルをライブラリとし、ドミノゲートのパフォーマンス情報を備えた第2のセルライブラリを用意し、設計しようとする論理回路のRTL（レジスタトランスファレベル）記述又は論理記述と、論理回路における信号の伝達タイミングを決めるタイミング制約情報と、前記第1及び第2のセルライブラリを入力として、ドミノゲートのパフォーマンス情報に基づいて信号のタイミングを満足させるように論理合成を行い、論理合成によって得られたセルレベルの回路において、第1のセルライブラリのセルを第1の高位電源電圧が供給されるドミノゲートの回路記述に置換し、第2のセルライブラリのセルを第2の高位電源電圧が供給されるドミノゲートの回路記述に置換して、ドミノゲートを用いて論理回路を設計してなる。

【0020】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0021】図1は請求項1、2又は3記載の発明の一実施形態に係わる論理回路の構成を示す図である。

【0022】本発明の特徴とするところは、通常の電源電圧（VDDH）の他に、この高電源電圧よりも低い電源電圧（VDDL）を用いることにより、回路の消費電力を低減し、かつ前述したように2つの異なる電源電圧を使用する場合にインターフェースで必要なレベルコンバータを省略するために、電源電圧が低電源電圧VDDLのドミノゲート（以下、VDDLのドミノゲート

と記す)と電源電圧が高電源電圧VDDHのドミノ・ゲート(以下、VDDHのドミノ・ゲートと記す)を有することにある。

【0023】図1において、論理回路は、VDDLのドミノ・ゲート1及びVDDHのドミノ・ゲート2と、これらのドミノ・ゲートにクロック信号を供給するクロックバッファ3を有して構成されている。

【0024】VDDLのドミノ・ゲート1は、低電源電圧(VDDL)が供給されているプリチャージ用のPチャンネルのFET(電界効果トランジスタ)P1と、NチャンネルのFETで構成されてFETP1と基準電源との間に接続され、入力信号にしたがって論理をとる入力回路N1と、FETP1と入力回路N1との接続点に接続されたPチャンネルのFETとNチャンネルのFETからなり、低電源電圧(VDDL)が供給されているインバータI1とから構成される。

【0025】VDDHのドミノ・ゲート2は、高電源電圧(VDDH)が供給されているプリチャージ用のPチャンネルのFET(電界効果トランジスタ)P2と、NチャンネルのFETで構成されてFETP2と基準電源との間に接続され、VDDLのドミノ・ゲート1のインバータI1の出力信号を受けて論理をとる入力回路N2と、FETP2と入力回路N2との接続点に接続されたPチャンネルのFETとNチャンネルのFETからなり、高電源電圧(VDDH)が供給されているインバータI2とから構成される。

【0026】クロックバッファ3は、高電源電圧(VDDH)が供給されて、VDDLのドミノ・ゲート1及びVDDHのドミノ・ゲート2に共通となる基準のクロック信号φを受けて反転するインバータC1と、低電源電圧(VDDL)が供給されて、インバータC1の出力信号を受けて反転しVDDLのドミノ・ゲート1のプリチャージ用のFETP1にクロック信号φLを供給するインバータC2と、高電源電圧(VDDH)が供給されて、インバータC1の出力信号を受けて反転しVDDHのドミノ・ゲート2のプリチャージ用のFETP2にクロック信号φHを供給するインバータC3とから構成される。

【0027】ドミノ・ゲートの具体的な構成を図2に示す。

【0028】図2(a)は、論理積(AND)ゲートを構成するドミノ・ゲートであり、入力回路が入力信号を受ける直列接続されたNチャンネルのFETとクロック信号φH(又はφL)を受けるNチャンネルのFETN3とから構成される。

【0029】図2(b)は、同図(a)に示す構成に比べて、FETN3を省略したものである。

【0030】図2(a)に示す構成は、入力信号のレベルにかかわらずプリチャージ時には貫通電流が流れないため、論理回路を構成した場合に論理回路の初段に用い

られる。一方、図2(b)に示す構成は、プリチャージ時に貫通電流が流れないようにするためにはプリチャージ時に前段から与えられる入力信号がすべてロウレベルになる必要があるため、前段がドミノ・ゲートとなる場合に用いられる。なお、図1に示すようなドミノ・ゲートでは、プリチャージ時に出力信号はロウレベルとなる。

【0031】なお、論理和(OR)ゲートを構成する場合には、入力回路を並列接続されたNチャンネルのFETで構成し、用いる箇所に応じてクロック信号φH(又はφL)を受けるNチャンネルのFETを図2(a)に示すように付加するようにすればよい。

【0032】このように、図1に示す構成では、VDDLのドミノ・ゲート1の出力をVDDHのドミノ・ゲート2の入力としているので、VDDLのドミノ・ゲート1の出力がPチャンネルのFETのゲートに入力しない。すなわち、PチャンネルのFETの入力が中間電位 $V_N$  ( $V_{th,n} < V_N < V_{DDH} - |V_{th,p}|$ ) ( $V_{th,n}$ はNチャンネルFETのしきい値、 $V_{th,p}$ はPチャンネルFETのしきい値)となることが原因のDC電流は発生しない。これにより、VDDLのドミノ・ゲート1とVDDHのドミノ・ゲート2を、レベルコンバータを介さずにダイレクトに接続しても消費電流が増加するということはない。

【0033】以上は、ドミノ・ゲートを用いたことによる効用であるが、反面ドミノ・ゲートには大きなクロック線パワーを消費するという問題がある。すなわち、ドミノ・ゲートはクロック信号を必要としているため、クロック線の駆動に大きな電力を消費する。

【0034】これに対して上記実施形態では、VDDLのドミノ・ゲート1に供給されるクロック信号φLのハイレベルの値は低電源電圧(VDDL)である。このため、ドミノ・ゲートで問題となるクロック線パワーを低減することができる。さらに、VDDLのドミノ・ゲート1に供給されるクロック信号φLとVDDHのドミノ・ゲート2に供給されるクロック信号φHを共通のクロック信号φに基づいて生成するようにしているので、クロック線のパワーを小さくすることができる。すなわち、クロックバッファ3に供給されるクロック信号は1つでため、このクロックバッファ3の外部に配線されるクロック線についての負荷容量が軽減されて、消費電力を抑制することができる。

【0035】このようなドミノ・ゲートを用いて図7に示す論理回路を構成した一実施形態を図3に示す。

【0036】図3において、回路のタイミング・クリティカルなパスはゲートG2、G3、G5、G9のパスであり、他のパスはタイミングに余裕があるものとする。このような回路において、電源電圧の相違によりレベルコンバータが必要となる箇所は、図10に示すようにゲートG1とゲートG5との接続部分及びゲートG4とゲ

ートG9の接続部分である。したがって、この部分に上述した本発明のドミノ・ゲートを適用すればよい。

【0037】しかしながら、論理回路の一部をクロック信号に同期して動作するドミノ・ゲートで構成すると、論理回路全体としての設計が多少難しくなるので、ここでは、インバータゲート以外の全てのゲートをドミノ・ゲートで構成するようにしている。すなわち、ゲートG3、G5、G9を図1に示すVDDHのドミノ・ゲート2で構成し、ゲートG4、G6、G7、G10を図1に示すVDDLのドミノ・ゲート1で構成し、ゲートG1の電源電圧を高電源電圧(VDDH)として構成している。

【0038】一方、図3に示す回路では、最終段に位置するゲートと回路の出力(o1~o4)の間に、図4に示すレベル変換機能付きのラッチLC又は通常のラッチ4が挿入されている。回路の外部へ信号を出力する際に基準電位~VDDHの電圧振幅が必要な場合は、図3に示すようにラッチが挿入される。

【0039】なお、図4に示すラッチLCは、クロック信号に同期してレベル変換とラッチを行い、通常のラッチ回路とはほぼ同じ消費電力でレベル変換機能とラッチ機能の双方の機能を有するものであり、消費電力低減の観点から効率の良い回路である。

【0040】次に、請求項4記載の発明の一実施形態に係わり、上記低消費電力の論理回路を設計する方法を以下に説明する。

【0041】まず、2種類のセル・ライブラリ(以下、VDDLライブラリとVDDHライブラリと呼ぶ)を用意する。VDDLライブラリは低いコストと相対的に良くないパフォーマンス・データを有し、一方、VDDHライブラリは高いコストと良いパフォーマンス・データを有する。この2種類のセル・ライブラリを用いて、論理回路に与えられたタイミング制約のもとで論理合成を行う。

【0042】論理合成の結果得られた回路において、VDDLライブラリのセルをVDDLのドミノ・ゲートで実現し、また、VDDHライブラリのセルをVDDHのドミノ・ゲートで実現して、完全な(トランジスタ・レベルの)回路記述を得る。

【0043】論理合成のツールは、クリティカルパスでない部分は、コストの低いVDDLライブラリを使用するので、電源電圧の低いVDDLのドミノ・ゲートの数が最大化され、回路の消費電力が最小化される。

【0044】具体的には、図5に示すフローチャートにしたがって設計が進められる。

【0045】図5は上記した低消費電力の論理回路を設計するフローを示す図である。

【0046】図5において、まず、2種類のセル・ライブラリ、VDDLライブラリとVDDHライブラリを用意する。VDDLライブラリはVDDLのドミノ・ゲ

トに対応するライブラリであり、原則として、そのドミノ・ゲートに対して算出されたパフォーマンス・データなどを有する。一方、VDDHライブラリは、VDDHのドミノ・ゲートに対応するものである。

【0047】論理合成の入力は、RTL(レジスタトランスファレベル)記述でも論理記述でもよいが、ここでは論理記述を入力とした。論理記述の入力(primary inputs)には、通常の入力(i1, i2, ..., i5)の他に、その反転したものも加えておく。さらに、primary inputsにおける信号到着時刻、及びprimary outputs(o1, o2, ..., o4)で信号が確定していなければならない時刻が、タイミング制約として論理合成ツールに入力される。

【0048】論理合成ツールは、ライブラリのパフォーマンス・データに基づいてタイミング解析を行い、タイミング制約を満たしつつ最もコストの低いセル(ゲート)のセットを選択する。したがって、コストの低いVDDLセルが可能な限り多く用いられ、かつタイミング制約を満足させる回路が得られる。

【0049】次の後処理では、論理合成の結果得られた構成において、VDDLライブラリのセルをVDDLのドミノ・ゲートで実現し、また、VDDHライブラリのセルをVDDHのドミノ・ゲートで実現して、回路(のトランジスタ)記述を得る。ここで、初段に位置するドミノ・ゲートには、図2(a)で示す構成のゲートを適用する。

【0050】図6に上記手順にしたがって設計された論理回路の構成を示す。

【0051】図6に示す論理回路は、図3に示す構成とは異なり、ゲートG9もVDDLのゲートで構成されている。このことは、前述したようにゲートG9はクリティカル・パスであるにもかかわらず、ゲートG9をVDDLとするだけのタイミングの余裕があったことを、また、論理合成ツールがその余裕を活かしたことを示している。図6に示す論理回路は、図3に示す論理回路と比べてこのゲートの違いだけ優れていると言える。

【0052】このように、高電源電圧(VDDH)と低電源電圧(VDDL)という2つの電源電圧を併用して、消費電力低減化を図る場合には、インターフェースに必要なレベルコンバータ自身が少なからぬダイナミック・パワーを消費するが、上記実施形態では、論理回路内でレベルコンバータを一つも必要としないため、消費電力低減化の効果が極めて大きい。

【0053】また、VDDLドミノ・ゲートに供給されるクロック信号には、全て振幅VDDLが使えするため、ドミノ・ゲートで問題となるクロック線パワーを低減することができる。

【0054】一方、上記設計方法においては、タイミング制約を考慮しつつ、2つの異なる電源電圧が供給されるドミノ・ゲートを使用した論理回路を効率良く設計す

ることができる。

【0055】なお、この発明の上記実施形態では、2つの異なる電位の電源電圧を使用する場合について具体的に説明したが、3種類以上の電源電圧を使う場合であっても、本発明の特徴は容易に応用できる。すなわち、ドミノ・ゲートに適当な電位の電源電圧を供給し、また、それと同じ電源のクロック・バッファからクロックを供給する。また、電源電圧の種類だけライブラリを用意すれば、前述したと同様にして論理合成ツールを用いて低消費電力の論理回路を設計することができる。

【0056】

【発明の効果】以上説明したように、請求項1、2又は3記載の発明によれば、第1の高位電源電圧に対応したドミノゲートと第2の高位電源電圧に対応したドミノゲートを用いて論理回路を構成するようにしたので、レベルコンバータを不要化して、低消費電力化を達成することができる。

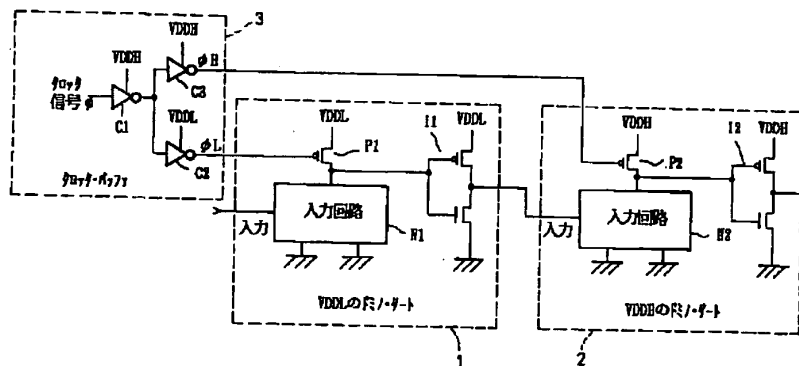
【0057】請求項3記載の発明によれば、共通のクロック信号に基づいてそれぞれのドミノゲートに供給される異なるクロック信号を生成するようにしたので、クロック信号を供給するための消費電力を低減することができる。

【0058】請求項4記載の発明によれば、タイミング制約を考慮しつつ、2つの異なる電源電圧が供給されるドミノゲートを使用した論理回路を効率良く設計することができる。

【図面の簡単な説明】

【図1】請求項1、2又は3記載の発明の一実施形態に係わる論理回路の構成を示す図である。

【図1】



\* 【図2】図1に示すドミノ・ゲートの一具体的な構成を示す図である。

【図3】図1に示すドミノ・ゲートを用いて構成された論理回路を示す図である。

【図4】図3に示すラッチLCの一具体的な構成を示す図である。

【図5】請求項4記載の発明の一実施形態に係わる論理回路の設計方法のフローを示す図である。

【図6】図5に示すフローにしたがって設計された論理回路の構成を示す図である。

【図7】2つの異なる電源電圧を用いた従来の論理回路の構成を示す図である。

【図8】低電源電圧のCMOS回路に高電源電圧のCMOS回路を接続した際に流れるDC電流を説明するための図である。

【図9】従来のレベルコンバータの構成を示す図である。

【図10】図7に示す論理回路にレベルコンバータを追加した構成を示す図である。

20 【符号の説明】

1 VDDLのドミノ・ゲート

2 VDDHのドミノ・ゲート

3 クロックバッファ

4、LC ラッチ

P1、P2 PチャネルFET

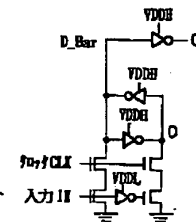
N1、N2 入力回路

N3 NチャネルFET

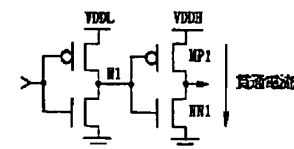
I1、I2、C1～C3 インバータ

\* G1～G10 ゲート

【図4】

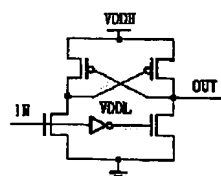


【図8】

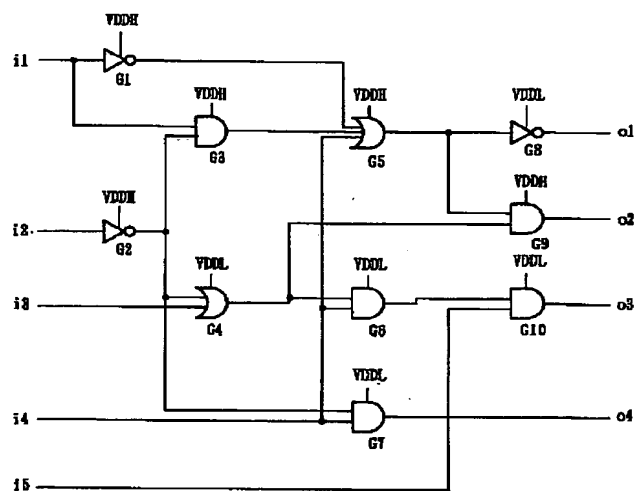




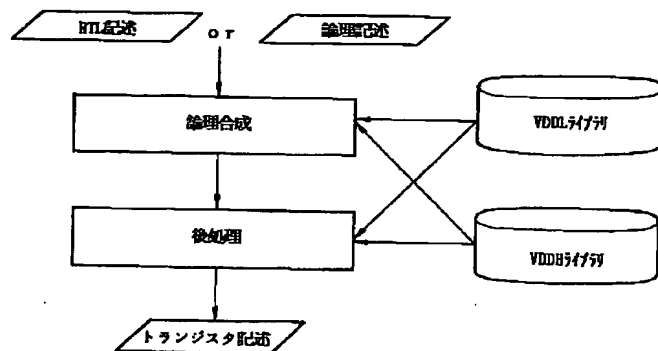
【図9】



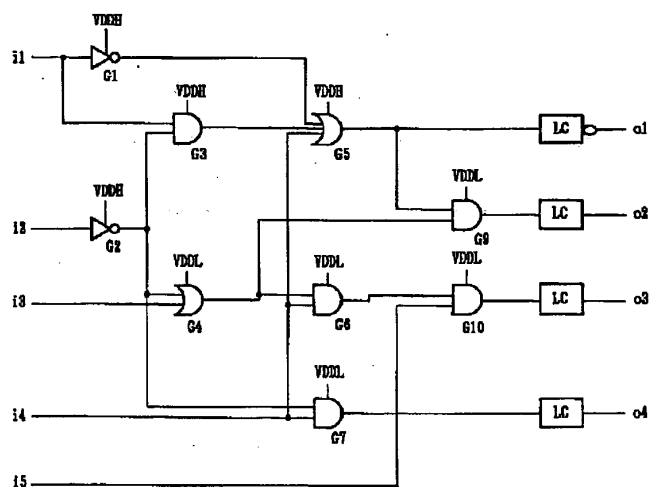
【图7】



【圖5】



【図6】



【図10】

